

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-287125

(43)Date of publication of application : 12.10.1992

(51)Int.Cl.

G06F 9/38

(21)Application number : 03-074433

(71)Applicant : KOUFU NIPPON DENKI KK

(22)Date of filing : 15.03.1991

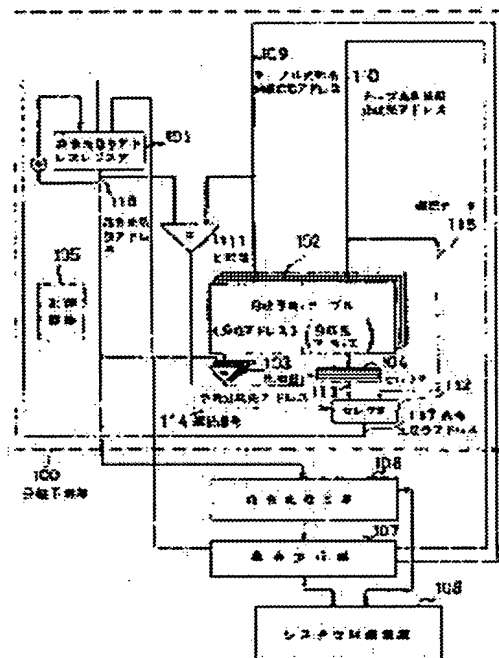
(72)Inventor : KITSUTA MAYUMI

## (54) INFORMATION PROCESSOR

### (57)Abstract:

**PURPOSE:** To enable the index of a branch prediction table even while updating the branch prediction table at the information processor equipped with a branch predicting mechanism to predict and prefetch the branch destination address of a branching instruction.

**CONSTITUTION:** This information processor is equipped with a branch prediction table 102, instruction execution part to output a branching instruction address for update and a branch destination address 110 for update so as to update the branch prediction table 102, comparator circuit to compare the branching instruction address 109 for update with an instruction prefetch address from a register and to output a new coincidence signal, and selection circuit to select either the output of the branch prediction table or the branch destination address for update according to an updated coincidence signal and when there is a data corresponding to the instruction prefetch address in data for updating the branch prediction table, the correspondent data for update is used as the branch predicting address.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-287125

(43) 公開日 平成4年(1992)10月12日

(51) Int.Cl.<sup>8</sup>

G 0 6 F 9/38

識別記号

庁内整理番号

F I

技術表示箇所

3 3 0 A 8725-5B

審査請求 未請求 請求項の数 3 (全 10 頁)

(21) 出願番号 特願平3-74433

(22) 出願日 平成3年(1991)3月15日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 橋田 真裕美

山梨県甲府市大津町1088-3 甲府日本電

気株式会社内

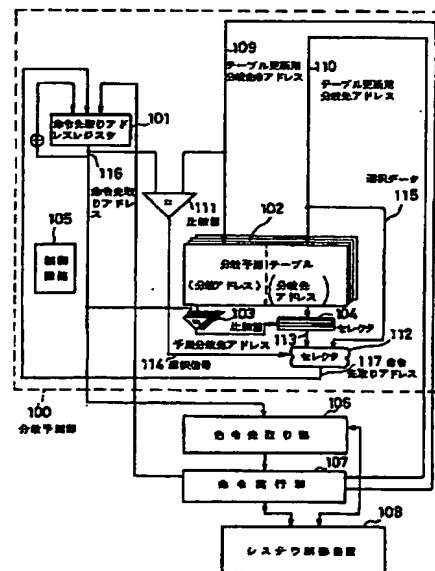
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルの更新中でも分岐予測テーブルの索引を出来るようにすること。

【構成】 分岐予測テーブルと、前記分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、前記更新用分岐命令アドレスとレジスタからの命令先取りアドレスを比較して新一致信号を出力する比較回路と、前記更新一致信号により分岐予測テーブルの出力か更新用分岐先アドレスかを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、対応する更新用データを分岐予測アドレスとして用いる。



(2)

特開平4-287125

1

## 【特許請求の範囲】

【請求項1】 分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、該分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、前記更新用分岐命令アドレスと命令先取りアドレスとを比較し更新一致信号を出力する比較回路と、前記更新一致信号により、分岐予測テーブルの出力か更新用分岐先アドレスかを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、対応する更新用データを分岐予測アドレスとして用いることを特徴とする情報処理装置。

【請求項2】 分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、該命令実行部からの更新用分岐命令アドレスと更新用分岐先アドレスを各々対応させてバッファリングしておくバッファ機構と、該バッファ機構の更新用分岐命令アドレスのうち最初に更新されるデータと命令先取りアドレスとを比較し更新一致信号を出力する比較回路と、前記更新一致信号により分岐予測テーブルの出力か更新用分岐先アドレスを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、対応する更新用分岐先アドレスを分岐予測アドレスとして用いることを特徴とする情報処理装置。

【請求項3】 分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、該命令実行部からの更新用分岐命令アドレスと更新用分岐先アドレスを各々対応させてバッファリングしておくバッファ機構と、該更新用分岐命令アドレスバッファ機構内の各データと命令先取りアドレスとを各々比較し更新一致信号を出力する比較回路と、前記更新一致信号により更新用分岐先アドレスのバッファ機構から更新一致信号を出力したデータに対応したデータを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合前記選択回路の出力を分岐予測アドレスとして用いることを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は分岐命令の実アドレスを指定する情報と、その分岐先アドレスとを対にして複数記憶する分岐予測テーブルを有して分岐予測を行う命令先取り装置を持つ情報処理装置に関する。

## 【0002】

2

【従来の技術】 従来、分岐予測テーブルを用いて分岐予測を行なうこの種の命令先取り装置としては、特開昭59-91550に記載された装置が知られている。これは、実アドレスで命令をフェッチするに際して、先取りすべきアドレスで命令記憶回路から命令を取出すと同時に分岐予測テーブルを索引し、もし分岐予測テーブルにヒットすれば、分岐予測テーブルより供給される予測された分岐先アドレスを次に先取りすべきアドレスとし、もし分岐予測テーブルにヒットしなければ、分岐予測テーブルを更新する。

【0003】 従来技術の一例について図面を参照して説明する。図6は従来技術の一例のブロック図である。内容的に言えば、命令ストリーム予測制御部ともいべき構成をブロックで示した図である。構成要素を中心にして説明すると、601は命令先取りアドレスを保持する命令先取りアドレスレジスタである。これにより分岐予測テーブル602の索引や、分岐予測テーブルによって予測された分岐アドレスとの比較を比較器603で行う。また、この命令先取りアドレスは命令先取り部606へ送られ、命令の先取りが行われ、先取りされた命令の実行が命令実行部607で行われる。命令先取り部606と命令実行部607はシステム制御装置608によって制御される。

【0004】 609と610はそれぞれ分岐予測テーブル更新用分岐命令アドレスと分岐予測テーブル更新用分岐先アドレスである。これらは命令実行部607より送られる。なおこの図では分岐予測テーブル602が4つのコンパートメントから成る例について説明している。603は命令先取りアドレスと予測された分岐アドレスの比較を行なっている比較器で、4つのコンパートメントにそれぞれ比較器を持っている。

【0005】 604は、比較器603の出力をもとに、4つのコンパートメントの内ヒットしている予測された分岐アドレスに対応する予測された分岐先アドレスを選択する選択器である。605は点線で囲んだ分岐予測部600内の制御を行なう制御回路である。

## 【0006】

【発明が解決しようとする問題点】 上に説明したような従来の技術においては、分岐予測テーブルの更新中は分岐予測テーブルの索引が出来ないという問題点がある。本発明は従来のもののこのような問題点を解決し、分岐予測テーブルの更新中でも分岐予測テーブルの索引ができる情報処理装置を提供するものである。

## 【0007】

【問題点を解決するための手段】 本第1の発明によると、分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、前記分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、前記更新用分岐命令アドレスと命令先取

3

りアドレスとを比較し更新一致信号を出力する比較回路と、前記更新一致信号により分岐予測テーブルの出力か更新用分岐先アドレスかを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、対応する更新用データを分岐予測アドレスとして用いることを特徴とする情報処理装置が得られる。

【0008】また本第2の発明によると、分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、該命令実行部からの更新用分岐命令アドレスと更新用分岐先アドレスを各々対応させてバッファリングしておくバッファ機構と、該バッファ機構の更新用分岐命令アドレスのうち最初に更新されるデータと命令先取りアドレスとを比較し更新一致信号を出力する比較回路と、前記更新一致信号により分岐予測テーブルの出力か更新用分岐先アドレスを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、対応する更新用分岐先アドレスを分岐予測アドレスとして用いることを特徴とする情報処理装置が得られる。

【0009】さらに本第3の発明によると、分岐命令の分岐先アドレスを予測して先取りする分岐予測機構を含む情報処理装置において、分岐予測テーブルと、分岐予測テーブルを更新するための更新用分岐命令アドレス及び更新用分岐先アドレスを出力する命令実行部と、該命令実行部からの更新用分岐命令アドレスと更新用分岐先アドレスを各々対応させてバッファリングしておくバッファ機構と、該更新用分岐命令アドレスバッファ機構内の各データと、命令先取りアドレスとを各々比較し更新一致信号を出力する比較回路と、前記更新一致信号により更新用分岐先アドレスのバッファ機構から更新一致信号を出力したデータに対応したデータを選択する選択回路とを含み、前記分岐予測テーブル更新用のデータに命令先取りアドレスに対応するものがある場合、前記選択回路の出力を分岐予測アドレスとして用いることを特徴とする情報処理装置が得られる。

【0010】

【実施例】次に、本発明について図面を参照して説明する。図4、図5はこの発明が適用される環境の例を示している。図4は情報処理装置のブロック図であり、30～33は演算処理装置、40～43は入出力制御装置、10、15は主記憶装置、20、25はシステム制御装置である。また図5は演算処理装置30～33の構成の一例を示すブロック図で、310は先取り制御部、320はメモリバッファ制御部、330は制御記憶部、340は演算実行部、350は動作主体番号管理回路、360は定時刻タイマである。本発明は図4の各演算処理装

(3)

特開平4-287125

4

置30～33のうち、特に図5の先取り制御部310に関係する。

【0011】図1は本発明の第1の実施例のブロック図である。図において100は分岐予測部、101は命令先取りアドレスを保持するレジスタ、102は分岐予測テーブルで、予測された分岐アドレスのテーブルと、それに対応する予測された分岐先アドレスのテーブルとから成る。図3の例では、分岐予測テーブルを4つのコンパートメントから構成している。

【0012】103は命令先取りアドレスと分岐予測テーブルによって予測された分岐アドレスとの比較を行う比較器で、この図では分岐予測テーブルの4つのコンパートメントのそれぞれに持つ。104は選択器で、比較器103の出力をもとにヒットした予測された分岐アドレスに対応する予測された分岐先アドレスを選択する。105は分岐予測部内の制御を行う制御回路である。

【0013】また、106は命令先取り部、107は命令実行部、108はシステム制御装置、109は（分岐予測）テーブル更新用分岐命令アドレス、110は（分岐予測）テーブル更新用分岐先アドレスである。111は比較器で、命令先取りアドレスと分岐予測テーブル更新用分岐命令アドレスの比較を行う。

【0014】112はセレクタで、比較器111により分岐予測テーブル更新用の分岐アドレスのヒットが判明した場合、分岐予測テーブルによる分岐予測先アドレスでなく、分岐予測テーブル更新用の分岐先アドレスを次の命令先取りアドレスとして選択する。また113は分岐予測テーブルによって予測された分岐先アドレス、114はセレクタ112に対する選択信号、115はセレクタ112に入る選択データで、分岐予測テーブル更新用の分岐先アドレスである。

【0015】シーケンシャルな先取り時の場合は、分岐命令がなく、シーケンシャルに先取りが行われる時、命令先取りアドレス116は命令先取り部106に取り出される命令巾が加算されていく。分岐予測時の場合は、分岐予測テーブル102にすでに分岐命令が予測されている時、分岐予測テーブル102により予測された分岐アドレスと命令先取りアドレスレジスタ101の出力が比較器103で比較され、一致するものがあれば、その予測された分岐アドレスに対応する分岐先アドレスを命令先取りアドレスとして以降の予測を行う。一方分岐予測テーブル102により予測された分岐アドレスと、命令先取りアドレスレジスタの出力に一致するものがない場合、分岐予測失敗という事になり、分岐予測テーブル102が更新される。

【0016】ところで、分岐命令がループを形成している場合、前回の分岐命令が命令実行部107において実行され、分岐予測テーブル102に送られる更新用データ109が作られたがまだ分岐予測テーブルが更新されていないというタイミングに、次の分岐命令が生じる

5

事もある。ここまでは従来装置におけるとほぼ同じである。

【0017】以下は本発明において特に設けられたもので、命令先取りアドレス116と分岐予測テーブル更新用分岐命令アドレス109の比較を行う比較器111と、この比較器111により分岐予測テーブル更新用の分岐アドレスのヒットが判明した場合、分岐予測テーブル102による予測分岐先アドレス113ではなく、分岐予測テーブル更新用の分岐先アドレス110を次の命令先取りアドレス117として選択するセクタ112を設ける事により、前記の様な分岐命令がホループを形成しているケースの予測が滞りなく行える。

【0018】図2は本発明の第2の実施例のブロック図を示している。分岐予測テーブル102に供給される更新用分岐命令アドレス109と更新用分岐命令先アドレス110は、命令実行部からの直接供給でなく、命令実行部107からのデータを分岐予測アドレス更新データバッファ機構401および分岐予測先アドレス更新データバッファ機構402でバッファリングしてからアドレスデータとして分岐予測テーブル102に供給されるようになっている。

【0019】比較器403はバッファリングしておいた更新用分岐命令アドレス109のうち最初に更新されるデータと命令先取りアドレス116とを比較する。選択器404は比較器403により分岐予測テーブル更新用の分岐先アドレスのヒットが判明した場合、分岐予測テーブル102による予測分岐先アドレスでなく、バッファリングしておいた更新用分岐命令アドレス110のうちの最初に更新されるデータを次の命令先取りアドレスとして選択する。このような構成により、バッファの大きさを起こる確率の高いホループの大きさに合わせてより効果的に予測する事が可能になる。

【0020】また、図3は本発明の第3の実施例のブロック図である。これは5個の分岐予測アドレス更新データバッファ501の各々に命令先取りアドレス116との5個の比較回路501を設け、また、5個の分岐予測先アドレス更新データバッファ402を選択するセクタ502を設けたものである。各々の比較回路の出力505により、もしバッファ401中にヒットしているもの

(4)

特開平4-287125

6

タの値がセクタ502で選択される。このときセクタ504は、分岐予測テーブル102により予測された分岐先アドレスではなく、セクタ502の出力を次の命令先取りアドレスとして選択する。

【0021】

【発明の効果】以上説明したように、第1の発明は分岐予測テーブル更新データと命令先取りアドレスレジスタとの比較器を持つこと、第2の発明は分岐予測テーブル更新データをバッファリングして、そのバッファリングしたものの中から最初に更新データとなるものと命令先取りアドレスの比較器を持つこと、本第3の発明は分岐予測テーブル更新データをバッファリングして各々比較器を持つことにより、分岐予測テーブル更新データの中に予測ヒットしているものの有無を判定し、ホループの分岐命令の分岐予測を滞りなく行えるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示すブロック図である。

【図2】本発明の第2の実施例の構成を示すブロック図である。

【図3】本発明の第3の実施例の構成を示すブロック図である。

【図4】本発明が適用される環境の第1の例を示すブロック図である。

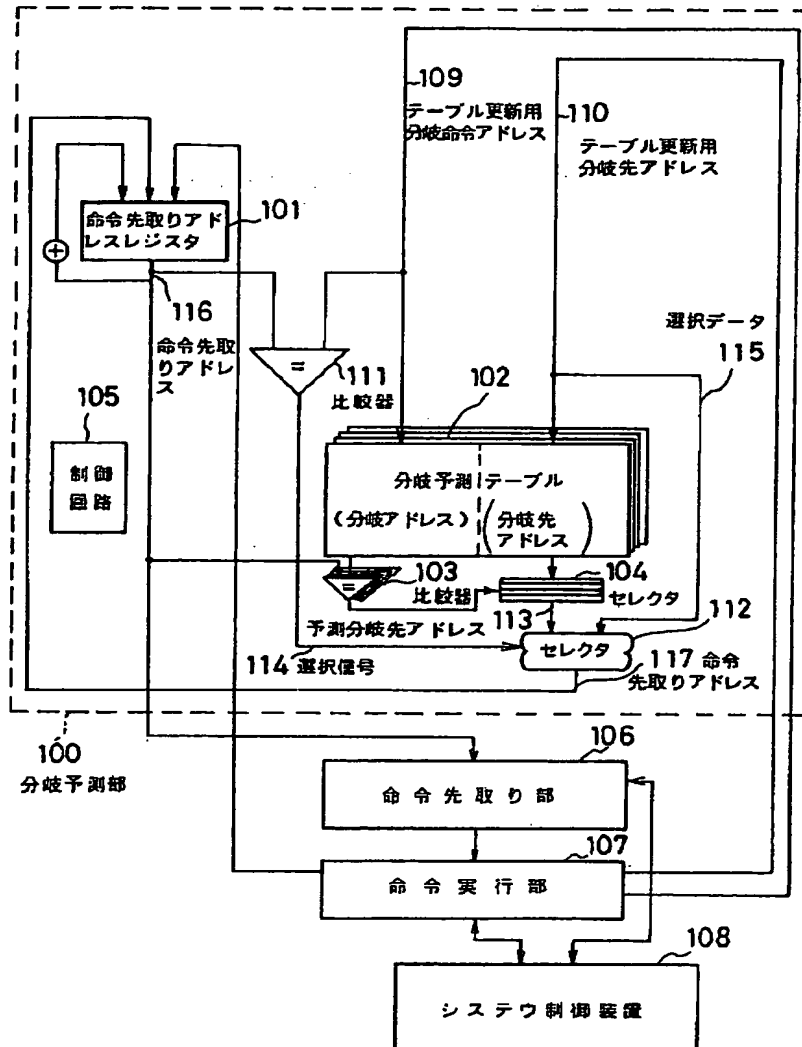
【図5】本発明が適用される環境の第2の例を示すブロック図である。

【図6】従来技術の一例を示すブロック図である。

【符号の説明】

100…分岐予測部、101…命令先取りアドレスレジスタ、102…分岐予測テーブル、103…比較器、104…セクタ、105…制御回路、106…命令先取り部、107…命令実行部、108…システム制御装置、109…テーブル更新用分岐命令アドレス、110…テーブル更新用分岐先アドレス、111…比較器、112…セクタ、113…予測分岐先アドレス、114…選択信号、115…選択データ、401…分岐予測アドレス更新データバッファ機構、402…分岐予測先アドレス更新データバッファ機構、403…比較器、404…セクタ、501…比較回路、502…セクタ、503…選択信号、504…セクタ。

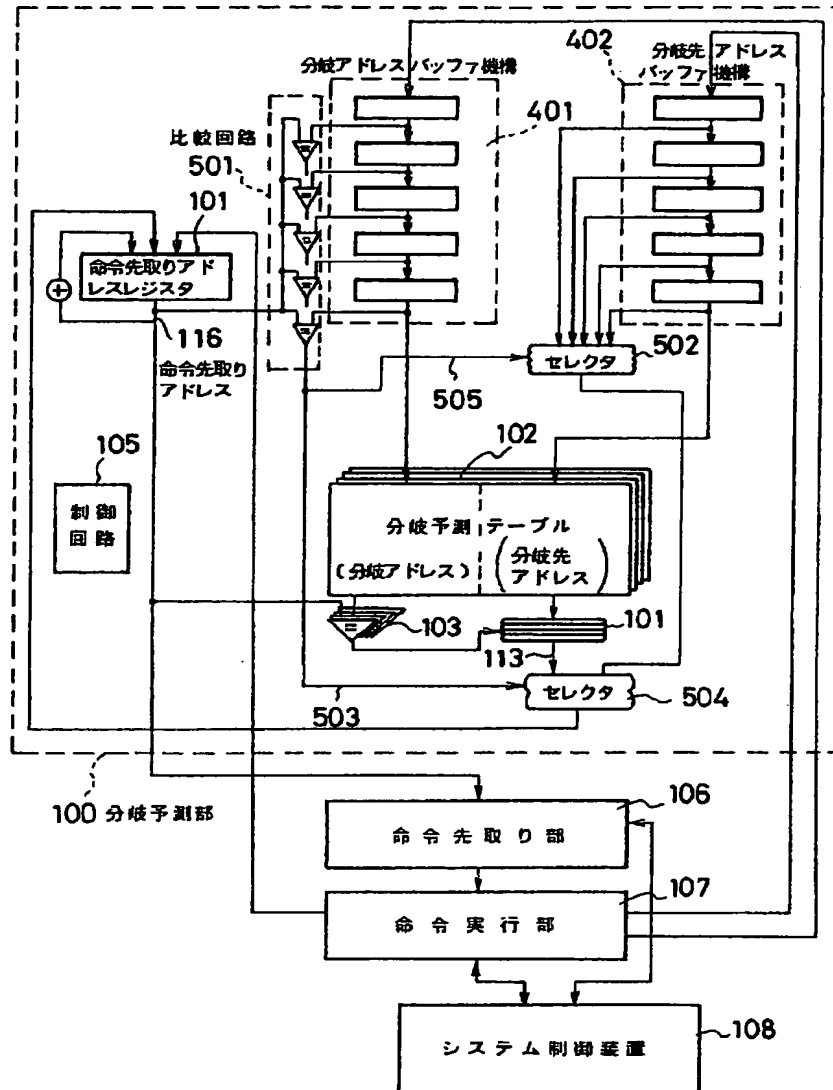
【図1】



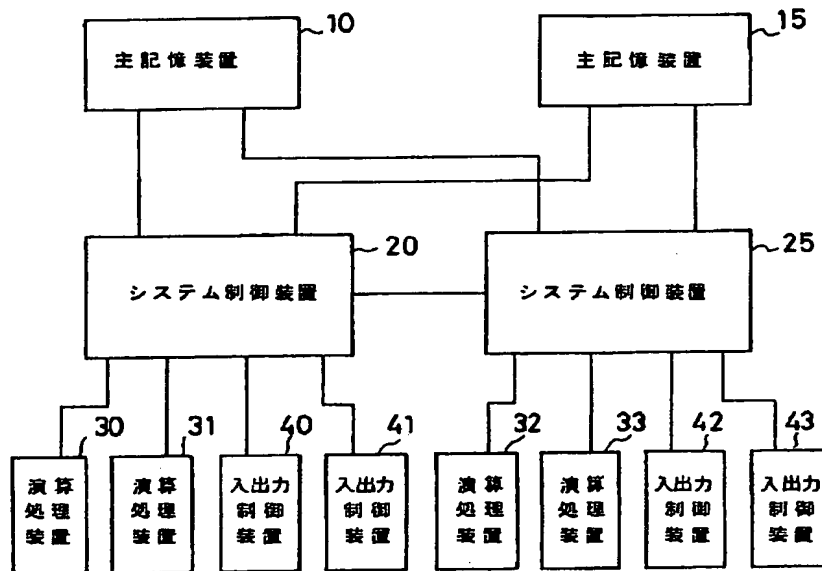
[illegible]



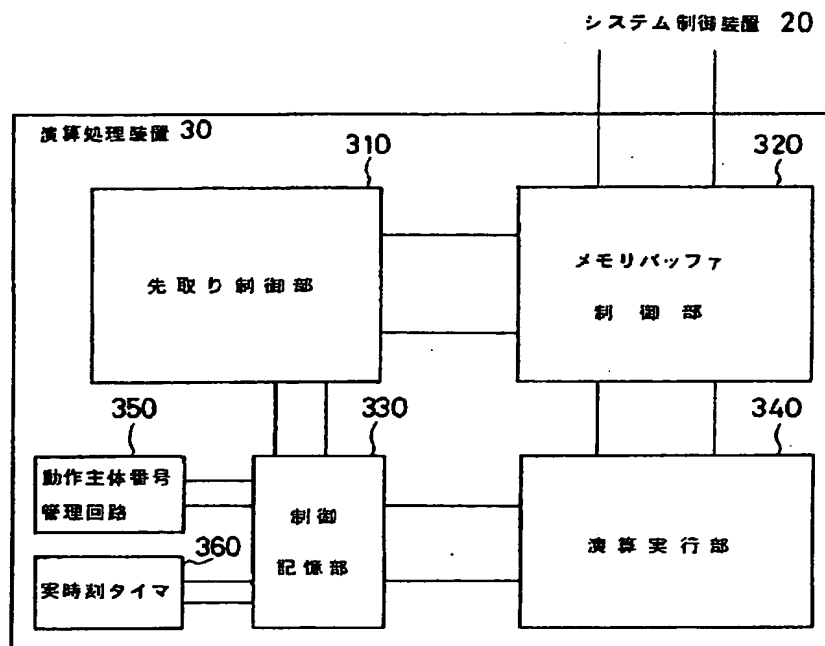
【図3】



【図4】



【図5】



【図6】

